

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11)Publication number: **09211088 A**(43)Date of publication of  
application: 15. 08 . 97

(51)Int. Cl.

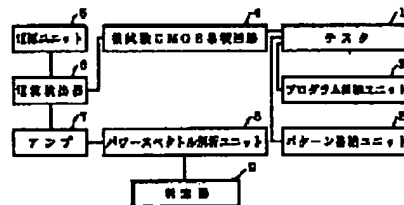
**G01R 31/319**  
**G06F 11/22**(21)Application number: **08044272**(71)Applicant **NEC CORP**(22)Date of filing: **06 . 02 . 96**(72)Inventor: **SAKAGUCHI KAZUHIRO****(54)METHOD AND APPARATUS FOR  
DETECTING FAULT IN CMOS INTEGRATED  
CIRCUIT****(57)Abstract:**

**PROBLEM TO BE SOLVED:** To detect the defect of  $I_{ddq}$  (static power supply current) with a simple apparatus in a short time.

**SOLUTION:** The test patterns are repeatedly applied from a tester 1 into a CMOS integrated circuit under test (DUT) 4. The power supply is applied on the DUT 4 from a power supply unit 5 through a current detector 6. The power supply current is observed with the current detector 6, and the detected signal is outputted. The detected signal passes through an amplifier 7, and the power spectrum is obtained by a power-spectrum analyzing unit 8. Then, the test patterns are repeatedly applied on the DUT 4 at a period of  $NT+T_o$  seconds. Therefore, when a fault is present in the DUT 4, a static power supply current not caused by the switching current of a transistor flows at every  $NT+T_o$  seconds at the specified pattern.

Therefore, the power in the vicinity of  $1/(NT+T_o)$  (Hz) among the detected signals is observed by a judging device 9. Thus, the presence or absence of the static power supply current is judged, and the fault of the DUT 4 is detected.

COPYRIGHT: (C)1997,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-211088

(43) 公開日 平成9年(1997)8月15日

(51) Int.Cl. <sup>a</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 1 R 31/319			G 0 1 R 31/28	R
G 0 6 F 11/22	3 1 0		G 0 6 F 11/22	3 1 0 B

審査請求 有 請求項の数11 F D (全 10 頁)

(21) 出願番号 特願平8-44272

(22) 出願日 平成8年(1996)2月6日

(71) 出願人 000004237

日本電気株式会社  
東京都港区芝五丁目7番1号

(72) 発明者 坂口 和宏

東京都港区芝五丁目7番1号 日本電気株式会社社内

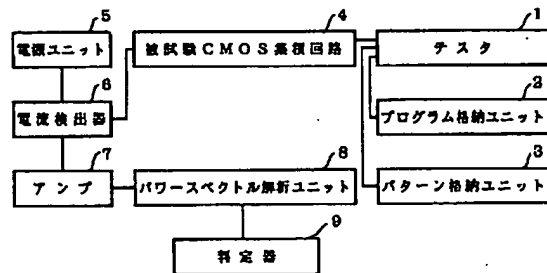
(74) 代理人 弁理士 加藤 朝道

(54) 【発明の名称】 CMOS集積回路の故障検出方法及び装置

(57) 【要約】

【課題】 I d d q 不良を簡易な装置で短時間で検出する。

【解決手段】 被試験CMOS集積回路 (DUT) 4 にテスト1からテストパターンを繰り返し印加し、電源ユニット5からは電流検出器6を介してDUTに電源が供給され、電源電流は電流検出器6で観測され検出信号が出力され、検出信号はアンプ7を介してパワースペクトル解析ユニット8によりパワースペクトルが求められ、テストパターンを繰り返し周期  $NT + T_0$  秒でDUT4に印加することによりDUT4に故障が存在した場合、特定のパターンにおいてトランジスタのスイッチング電流によらない静的な電源電流は  $NT + T_0$  秒毎に流れるため、判定器9により検出信号のうち  $1 / (NT + T_0)$  (Hz) 近傍のパワーを観測し、静的電源電流の有無が判定し、DUT4の故障を検出する。



## 【特許請求の範囲】

【請求項1】CMOS集積回路にテストパターンを印加し動作させたときに流れる電源電流のうち、トランジスタのスイッチングによらない静的な電源電流を観測することによりCMOS集積回路の故障を検出するCMOS集積回路の故障検出方法において、被試験CMOS集積回路にテストパターンを繰り返し印加する手段と、

前記被試験CMOS集積回路に供給される電源電流を観測する電流観測手段と、

前記電流観測手段により検出された前記電源電流のパワースペクトルを求める手段と、を含み、

前記電源電流のパワースペクトルのうち、予め定められた周波数帯域のパワーの大きさにより、前記被試験CMOS集積回路の故障の有無を判定する、ことを特徴とするCMOS集積回路の故障検出方法。

【請求項2】前記テストパターンとして、パターン数がN、各パターン周期がT秒なるテストパターンを用い、テストパターンの印加繰り返し周期が $TN+T_0$ 秒なる一連の繰り返しテストパターンを、前記被試験CMOS集積回路に印加したとき、前記被試験CMOS集積回路の電源電流のパワースペクトルのうち、 $1/(NT+T_0)$  (Hz) 近傍のパワーの大きさにより、前記被試験CMOS集積回路の故障の有無を判定することを特徴とする請求項1記載のCMOS集積回路の故障検出方法。

【請求項3】前記テストパターンとして、パターン数がN、各パターン周期がT秒なるテストパターンを用い、テストパターンの印加繰り返し周期がTN秒なる一連の繰り返しテストパターンを前記被試験CMOS集積回路に印加したとき、前記被試験CMOS集積回路の電源電流のパワースペクトルのうち、 $1/NT$  (Hz) 近傍のパワーの大きさにより、前記被試験CMOS集積回路の故障の有無を判定することを特徴とする請求項1記載のCMOS集積回路の故障検出方法。

【請求項4】CMOS集積回路にテストパターンを印加し動作させたときに流れる電源電流のうち、トランジスタのスイッチングによらない静的な電流を観測することによりCMOS集積回路の故障を検出するCMOS集積回路の故障検出装置において、被試験CMOS集積回路に前記テストパターンを印加するテストと、

前記テストパターンの情報を格納したパターン格納手段と、

前記テストを駆動制御するためのプログラムを格納したプログラム格納手段と、

前記被試験CMOS集積回路に電源を供給する電源ユニットと、

前記電源ユニットから前記被試験CMOS集積回路に供給される電源電流を観測する電流検出器と、

前記電流検出器からの観測信号を増幅するアンプと、

前記アンプにより増幅された前記観測信号のうち、各周波数帯域毎のパワーを求めるパワースペクトル解析手段と、

前記パワースペクトル解析手段により周波数帯域毎にフィルタリングされた前記観測信号のパワーを観測し、予め定められた周波数帯域のパワーの大きさに基づき前記被試験CMOS集積回路の故障の有無を判定する判定手段と、

を備えたことを特徴とするCMOS集積回路の故障検出装置。

【請求項5】前記テストパターンとして各パターンの周期がT秒、パターン数がNであるテストパターンを用い、

前記テストパターンを $TN+T_0$ 秒の周期で繰り返し被試験CMOS集積回路に印加し、

前記判定手段が、 $1/(NT+T_0)$  (Hz) 近傍の観測信号のパワーの大きさによって前記被試験CMOS集積回路の故障の有無を判定することを特徴とする請求項4記載のCMOS集積回路の故障検出装置。

【請求項6】前記テストパターンとして各パターンの周期がT秒、パターン数がNであるテストパターンを用い、

前記テストパターンをTN秒の周期で繰り返し被試験CMOS集積回路に印加し、

前記判定手段が、 $1/NT$  (Hz) 近傍の観測信号のパワーによって前記被試験CMOS集積回路の故障の有無を判定することを特徴とする請求項4記載のCMOS集積回路の故障検出装置。

【請求項7】前記電流検出器が電流検出抵抗を含むことを特徴とする請求項4～6のいずれかに記載のCMOS集積回路の故障検出装置。

【請求項8】前記パワースペクトル解析手段の代わりに、予め定められた周波数帯域のみを通過させるバンドパスフィルタを用い、

前記判定手段が、前記バンドパスフィルタを通過した観測信号のパワーに基づき前記被試験CMOS集積回路の故障の有無を判定することを特徴とする請求項4記載のCMOS集積回路の故障検出装置。

【請求項9】前記パワースペクトル解析手段の代わりに、予め定められた周波数以下の帯域のみを通過させるローパスフィルタを用い、

前記判定手段が、前記ローパスフィルタを通過した観測信号のパワーに基づき被試験CMOS集積回路の故障の有無を判定することを特徴とする請求項4記載のCMOS集積回路の故障検出装置。

【請求項10】前記テストパターンとして、パターン数がN、各パターン周期がT秒なるテストパターンを用い、前記テストパターンを $TN+T_0$ 秒の周期で繰り返し被試験CMOS集積回路に印加するとき、

前記バンドパスフィルタとして $1/(NT+T_0)$  (H

z) 近傍の周波数帯域のみを通過させるバンドパスフィルタを用いたことを特徴とする請求項8記載のCMOS集積回路の故障検出装置。

【請求項11】前記テストパターンとして、パターン数がN、各パターン周期がT秒なるテストパターンを用い、前記テストパターンを $TN+T_0$ 秒の周期で繰り返し被試験CMOS集積回路に印加するとき、前記ローパスフィルタとして $1/(NT+T_0)$  (Hz) 近傍以下の周波数帯域のみを通過させるローパスフィルタを用いたことを特徴とする請求項9記載のCMOS集積回路の故障検出装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、CMOS集積回路の故障検出装置に関し、特に電源電流情報から、CMOS集積回路の故障の有無を判定するCMOS集積回路の故障検出方法及び装置に関する。

【0002】

【従来の技術】従来、この種のCMOS集積回路の故障検出方法及び装置は、CMOS集積回路が正常に動作するかどうかを短時間で判定するために用いられてきた。

【0003】CMOS集積回路の電源電流は、トランジスタのスイッチングの際に一時的に流れる電源電流以外には極めて微小なリーク電流が流れるのみであり、CMOS集積回路のこの性質により、スイッチングに起因する電流や、リーク電流以外に大きな電流が流れていることを検出することにより、CMOS集積回路の故障の有無を検出することが可能である。

【0004】従来、たとえば、図11に示すように、被試験CMOS集積回路4に電源5'から電源電圧を供給し、電流計6'で測定される電源電流の大きさに被試験CMOS集積回路4の故障の有無を判定していた。

【0005】あるいは、図12に示すように、テスト1により被試験CMOS集積回路4にパターン格納ユニット3に格納されたテストパターンを印加し、そのときに流れる電源電流を電流検出器6で観測し、観測結果を判定器9で判定することにより、被試験CMOS集積回路4の故障の有無を判定していた。

【0006】また、特開平2-302677号公報には、IC(集積回路)の電気的特性検査を行なうIC検査装置における電流測定方法において、発生パターンのタイミングに合わせ、電流を測定することにより、測定した期間の電流値を正確に測定する方法として、パターン発生器から出力されるパターンの一部を利用して電流測定用ゲート信号を作成することにより、図13に示すように、パターン102に同期した電流101の測定を可能とする構成が提案されている。

【0007】

【発明が解決しようとする課題】しかしながら、図11に示した、電流測定に基づくCMOS集積回路の故障検

出装置では、CMOS集積回路が動作していない状態での電源電流を測定しているため、必ずしも故障に起因する電源電流を測定できるわけではない。

【0008】あるいは、図12のように、テストを用いてCMOS集積回路を動作させ、その時の電源電流を長時間測定する場合、電流の検出に時間を要するため、試験対象とするCMOS集積回路(例えば高速動作周波数のデバイス等)によっては、実質的に電源電流の実時間測定は不可能であった。

【0009】また、従来の電流測定方法に基づくCMOS集積回路の動作時の電源電流のAC特性を測定する装置では、CMOS集積回路に対してテストパターンを印加する試験において、各テストパターン毎に電源電流を正確に測定することは、高速な電流測定器が必要とされ、短時間での測定は困難である。

【0010】また、図14に示すように、各パターン内における、CMOS集積回路のトランジスタのスイッチング動作によらない電源電流の静的な電流(quiescent current)105を測定することは、トランジスタのスイッチング時に流れる電源電流106との分離が必要であり、困難であるという問題点がある。

【0011】従って、本発明は、上記問題点を鑑みて為されたものであって、CMOS集積回路の故障を検出するため、CMOS集積回路に対するテストパターン印加時の各パターン毎に流れるトランジスタのスイッチング動作によらない静的な電流の有無を短時間で判定する方法及び装置を提供することを目的とする。

【0012】

【課題を解決するための手段】前記目的を達成するため、本発明は、CMOS集積回路にテストパターンを印加し動作させたときに流れる電源電流のうち、トランジスタのスイッチングによらない静的な電源電流を観測することによりCMOS集積回路の故障を検出するCMOS集積回路の故障検出方法において、前記被試験CMOS集積回路にテストパターンを繰り返し印加する手段と、前記被試験CMOS集積回路に供給される電源電流を観測する電流観測手段と、前記電流観測手段により検出された前記電源電流のパワースペクトルを求める手段と、を含み、前記電源電流のパワースペクトルのうち、予め定められた周波数帯域のパワーの大きさにより、前記被試験CMOS集積回路の故障の有無を判定する、ことを特徴とするCMOS集積回路の故障検出方法を提供する。

【0013】また、本発明は、CMOS集積回路にテストパターンを印加し動作させたときに流れる電源電流のうち、トランジスタのスイッチングによらない静的な電流を観測することによりCMOS集積回路の故障を検出するCMOS集積回路の故障検出装置において、被試験CMOS集積回路に前記テストパターンを印加するテストと、前記テストパターンの情報を格納したパターン格

納手段と、前記テストを駆動制御するためのプログラムを格納したプログラム格納手段と、前記被試験CMOS集積回路に電源を供給する電源ユニットと、前記電源ユニットから前記被試験CMOS集積回路に供給される電源電流を観測する電流検出器と、前記電流検出器からの観測信号を増幅するアンプと、前記アンプにより増幅された前記観測信号のうち、各周波数帯域毎のパワーを求めるパワースペクトル解析手段と、前記パワースペクトル解析手段により周波数帯域毎にフィルタリングされた前記観測信号のパワーを観測し、予め定められた周波数帯域のパワーの大きさにより前記被試験CMOS集積回路の故障の有無を判定する判定手段と、を備えたことを特徴とするCMOS集積回路の故障検出装置を提供する。

【0014】

【作用】本発明の原理・作用を以下に説明する。

【0015】図3(A)に示すように、被試験CMOS集積回路にテストパターン200を繰り返し印加することを考える(印加信号204)。このテストパターン200はNパターンより構成されており、テストパターン200を印加するのに $N \times T$ 秒を要する(但し、Tはパターンの周期を示し、テストサイクルに対応する)。

【0016】この印加信号204を被試験CMOS集積回路に印加して被試験CMOS集積回路で動作させた場合、被試験CMOS集積回路が正常であれば、正常電源電流201が流れる(図3(B)参照)。このときに流れる電源電流は、トランジスタのスイッチング動作に基づく電流のみで、静的な電流は無視できるレベルとされる。

【0017】一方、被試験CMOS集積回路に故障(例えば短絡故障等)が存在した場合、その電源電流は、図3(C)に異常電源電流202として示したように、ある特定のテストパターンにおいて静止状態電源電流( $I_{ddq}$ ; VDD supply current Quiescent)に異常静的電流203が流れる。

【0018】ところで、テストパターン200を $NT + T_0$ 秒の周期(但し、 $T_0$ は例えばシステムのセットアップ等のために要する時間)で繰り返し、被試験CMOS集積回路に印加したときの正常電源電流201、及び異常電源電流202のパワースペクトルを見ると、正常電源電流201については、 $1/T$  (Hz)の周波数成分に大きなピークがある。一方、異常電源電流202のパワースペクトルを見ると、 $1/T$  (Hz)と、 $1/(NT + T_0)$  (Hz)とにピークがあり、両者には、 $1/(NT + T_0)$  (Hz)のピークの有無に差異がある。

【0019】すなわち $1/(NT + T_0)$  (Hz)のピークを検出することにより、ある特定のテストパターンにおいてのみ流れる静的な電流を検出することが可能であり、被試験CMOS集積回路の故障の有無が判定できる。

【0020】この機能を実現するには、高速な測定器は必要なく、単純なフィルタリング機能のみで実現可能である。

【0021】また、高速なデバイス(Tが小さい)に対しても、 $1/(NT + T_0)$  (Hz)の信号を扱えればよく、通常Nが数千から数十万であることを考慮すると、 $1/(NT + T_0)$  (Hz)は決して高速とはいえず、特別な装置を用いることなく、測定可能である。

【0022】

【発明の実施の形態】本発明の実施の形態について図面を参照して以下に詳細に説明する。図1は、本発明の第1の実施形態に係る装置の構成を示すブロック図である。

【0023】図1を参照して、被試験CMOS集積回路4はテスト1に電気的に接続されている。テスト1にはパターン格納ユニット3、及びプログラム格納ユニット2が接続されている。パターン格納ユニット3には、被試験CMOS集積回路4を試験するためのテストパターン情報が、プログラム格納ユニット2にはテスト1を駆動制御するためのプログラム(「テストプログラム」という)がそれぞれ格納されている。そして、電源ユニット5は、電流検出器6を介して被試験CMOS集積回路4に接続され電源を供給する。なお、テスト1は、プログラム格納ユニット2に格納されたプログラムの制御のもとパターン格納ユニット3に格納されたテストパターンをプログラム設定されたテストサイクルと繰り返し周期、及び信号波形フォーマットにて不図示のピンエレクトロニクスカードのドライバから被試験CMOS集積回路4の対応する端子(入力ピン)に印加する。また、電源ユニット5としてテスト1に具備されたプログラム制御型の電源ユニットを用いてもよいことは勿論である。

【0024】そして、電源ユニット5から供給される電源電流は電流検出器6で観測され、その観測信号はアンプ7、パワースペクトル解析ユニット8を介して判定器9に入力されている。アンプ7は検出した信号を増幅し、パワースペクトル解析ユニット8はアンプ7により増幅された観測信号の各周波数帯域毎のパワーを求める。判定器9は、信号のパワーを観測し、その大きさによって被試験CMOS集積回路4の故障の有無を判定する。

【0025】次に、本発明の第1の実施形態に係る装置を用いた検査方法について説明する。図2は、本発明に係る検査方法を説明するためのフローチャートである。まず、テストによりテストパターンが繰り返し被試験CMOS集積回路に印加される(ステップ301)。このとき、テストパターンの各パターンの周期はT秒であり、パターン数がNの時、テストパターンの繰り返し周期は $NT + T_0$ 秒である。

【0026】被試験CMOS集積回路に流れる電源電流を観測し、観測信号を生成する(ステップ302)。こ

の観測信号はフィルタリングされ、電源電流のパワースペクトル情報を生成する(ステップ303)。このパワースペクトル情報から $1/(NT+T_0)$  (Hz)におけるパワースペクトルを得て(ステップ304)、その大きさにより被試験CMOS集積回路の故障の有無を判定する。

【0027】図1に示した本発明の第1の実施形態の装置の動作について説明する。前述のとおり、パターン格納ユニット3には被試験CMOS集積回路4をテストするためのテストパターンが格納されている。プログラム格納ユニット2にはテスト1を駆動するためのプログラムが格納されている。テスト1はこのプログラムに従い、パターン格納ユニット3に格納されているテストパターンを用いて被試験CMOS集積回路4を試験する。

【0028】このとき同一テストパターンが繰り返し被試験CMOS集積回路4に印加されるようにプログラムされている。テストパターンはNパターンから構成されており、パターンの周期(テスト周期)はT秒、1回のテストパターンが印加されるのにNT秒を要する。

【0029】テストパターンは、 $NT+T_0$ 秒毎に繰り返し被試験CMOS集積回路4に印加される。被試験CMOS集積回路4の電源は電源ユニット5から供給されており、その供給電流は電流検出器6によりモニターされている。電流検出器6からの信号は、アンプ7によって増幅され、パワースペクトル解析ユニット8により各周波数帯域毎のパワーが求められる。判定器9により定められて周波数帯域のパワーの大きさが判定され、大きさが基準値以上であれば被試験CMOS集積回路4には故障が存在すると判定する。

【0030】テストパターンがNパターンより構成され、各パターンの周期がT秒であり、テストパターンの被試験CMOS集積回路4への繰り返し印加周期が $NT+T_0$ 秒であるとき、判定器9では $1/(NT+T_0)$  (Hz)近傍のパワーの大きさを判定する。

【0031】図4は、本発明の別の実施形態を示すブロック図である。本実施形態では、繰り返しパターン(NT)の間の時間間隔 $T_0$ を0秒とし、図5に示すように、Nパターンからなるテストパターン200(各パターンの周期はT秒)をNT秒毎に繰り返し被試験CMOS集積回路4に印加している。フィルタ(パワースペクトル解析ユニット8)では電流検出器6からの信号のうち、適当な帯域、例えば $1/NT$  (Hz)近傍のみを通過させる。テストパターンをNT秒毎に繰り返し連続的に被試験CMOS集積回路4に印加することで、その電源電流のパワースペクトルには $T_0$ に起因するパワースペクトルが出現しないため、より正確に被試験CMOS集積回路4の故障検査が実行できる。

【0032】図6は、本発明の別の実施形態を示すブロック図である。この実施形態においては電流検出器6aとして、図7に示すように、電流検出抵抗Rが用いられ

ている。電流検出抵抗Rを用いることで、簡単に電流情報を電圧信号に変換することが可能である。

【0033】図8は、本発明の別の実施形態を示すブロック図である。図8では、図1におけるパワースペクトル解析ユニット8の代わりに、フィルタ10が設けられている。フィルタ10では電源電流情報のうち特定の周波数の情報(信号)のみを通過させるように構成されており、判定器9ではフィルタ10を通過した電源電流情報である観測信号のパワーの大きさを判定し、被試験CMOS集積回路の故障の有無を判定している。フィルタ10を用いることにより、簡単な装置構成で電源電流の特定の周波数帯域のパワーの大きさを判定することが可能である。

【0034】図9は、本発明の別の実施形態を示すブロック図である。図9に示すように、フィルタ10として、バンドパスフィルタ10aが設けられている。テストパターンがNパターンより構成され、各パターンの周期がT秒、テストパターンの被試験CMOS集積回路4への繰り返し印加周期が $NT+T_0$ 秒であるとき、バンドパスフィルタ10aは、 $1/(NT+T_0)$  (Hz)近傍の帯域のみを通過させる。被試験CMOS集積回路4が故障し特定のテストパターンで静的な異常電流が流れた場合、その電源電流のパワースペクトルを見ると $1/(NT+T_0)$  (Hz)にピークが存在するため、バンドパスフィルタ10aにより容易にこのピークを分離することが可能である。

【0035】図10は、本発明の別の実施形態を示すブロック図である。ここでは図9に示すフィルタ10としてローパスフィルタ10bが設けられている。テストパターンがNパターンより構成され、各パターンの周期がT秒、テストパターンの被試験CMOS集積回路4への繰り返し印加周期が $NT+T_0$ 秒であるとき、ローパスフィルタ10bは $1/(NT+T_0)$  (Hz)近傍以下の帯域のみを通過させる。被試験CMOS集積回路4が故障し特定のテストパターンで静的な異常電流が流れた場合、その電源電流のパワースペクトルを見ると $1/(NT+T_0)$  (Hz)にピークが存在し、また $1/(NT+T_0)$  (Hz)以下には有意なピークは存在しないためローパスフィルタ10bにより容易にこのピークを分離することが可能であり、かつ装置が簡易な構成となる。

【0036】

【発明の効果】以上説明したように、本発明によるCMOS集積回路の故障検出装置は、テストパターンを印加したときに流れる故障に起因する静的電流を検出するため、通常では直接観測することの難しい特定のパターンにおける静的電流の有無を、静的電流が同一テストパターンを繰り返し印加することで、テストパターンの周期毎に流れることに着目し、電源電流のパワースペクトルを解析することで、トランジスタのスイッチング電流と静的電流とを分離し、これにより静的電流の有無を判定

することを可能としたものである。

【0037】また、本発明によれば、高速なデバイスに対する試験でも、テストパターンの長さを考慮すればスイッチング電流と静的電流との区別は極めて容易となり、かつ簡易な構成で実現可能であるという効果を有する。

【図面の簡単な説明】

【図1】本発明の一実施形態の故障検出装置の構成を示す図である。

【図2】本発明の一実施形態における故障検出方法を説明するためのフローチャートである。

【図3】本発明の原理を説明するための図であり、CMOS集積回路の繰り返しテストパターン印加と電源電流との関係を示す図である。

【図4】本発明の別の実施形態の構成を示す図である。

【図5】CMOS集積回路の繰り返しテストパターン印加と電源電流との関係を示す図である。

【図6】本発明の別の実施形態の構成を示す図である。

【図7】本発明の実施形態において電流検出器として検出抵抗を用いた図である。

【図8】本発明の別の実施形態の構成を示す図である。

【図9】本発明の別の実施形態の構成を示す図である。

【図10】従来のCMOS集積回路の故障検出装置の構成を示す図である。

【図11】従来のCMOS集積回路の故障検出装置の構成を示す図である。

【図12】CMOS集積回路にテストパターンを印加したときに流れる電源電流を示す図である。

【図13】故障CMOS集積回路にテストパターンを印加したときに流れる電源電流を示す図である。

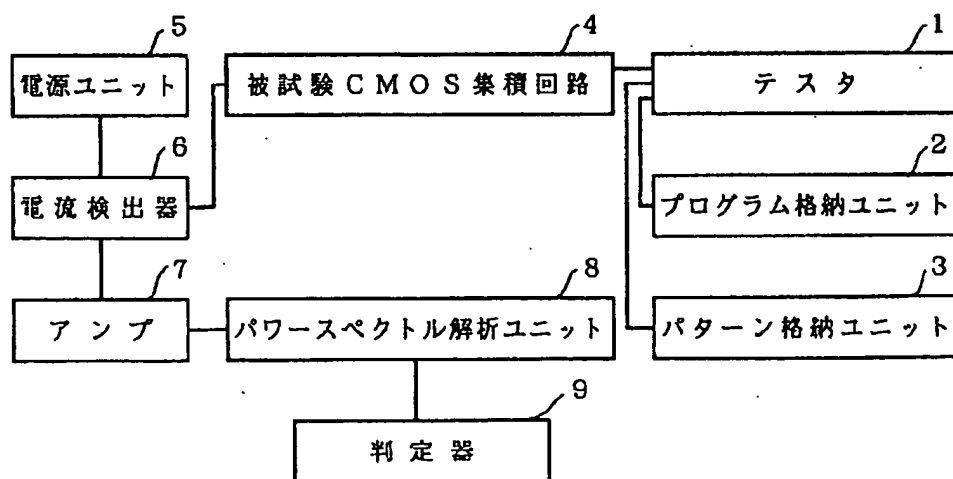
【図14】パターンと電流波形を示す図であり、電源電

流の静的電流を示す図である。

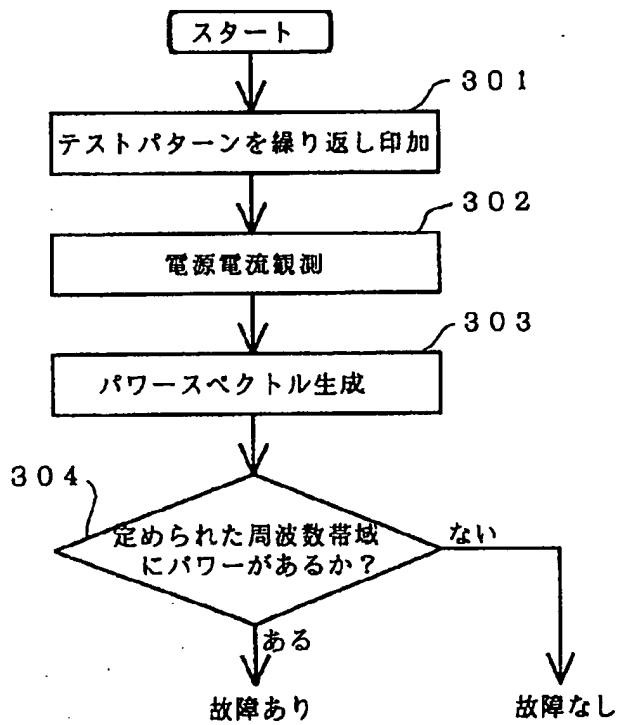
【符号の説明】

- 1 テスタ
- 2 プログラム格納ユニット
- 2a プログラム格納ユニット
- 3 パターン格納ユニット
- 4 被試験CMOS集積回路
- 5 電源ユニット
- 6 電流検出器
- 6a 電流検出器
- 7 アンプ
- 8 パワースペクトル解析ユニット
- 9 判定器
- 10 フィルタ
- 10a バンドパスフィルタ
- 10b ローパスフィルタ
- 101 電源電流
- 102 テストパターン
- 103 電源電流
- 104 テストパターン
- 105 故障に起因する静的電流
- 106 トランジスタのスイッチングによる電流
- 200 テストパターン
- 201 正常電源電流
- 202 異常電源電流
- 203 異常静的電流
- 301 テスタ手段
- 302 電流観測手段
- 303 フィルタリング手段
- 304 判定手段

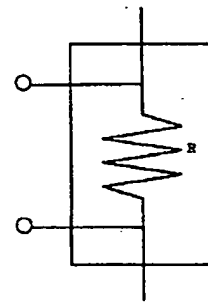
【図1】



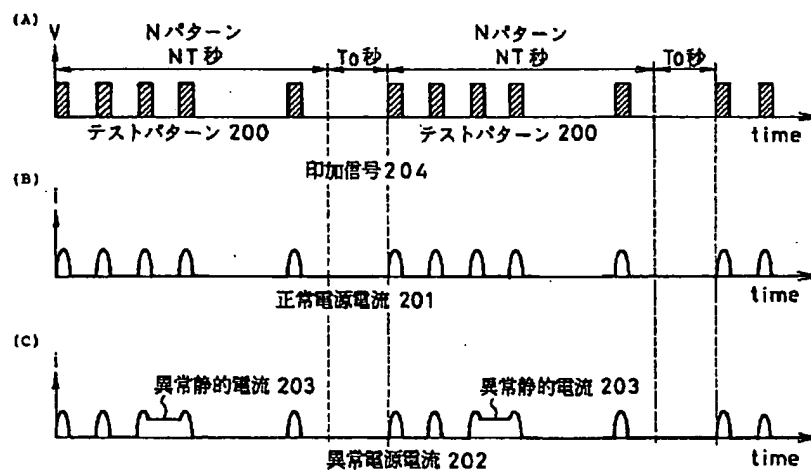
【図2】



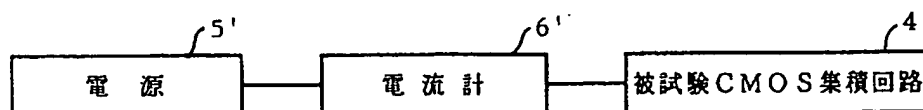
【図7】



【図3】

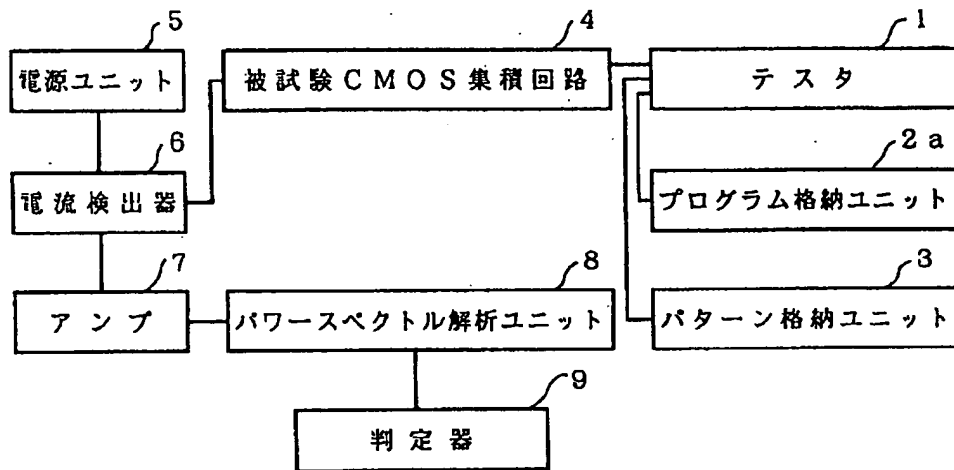


【図11】

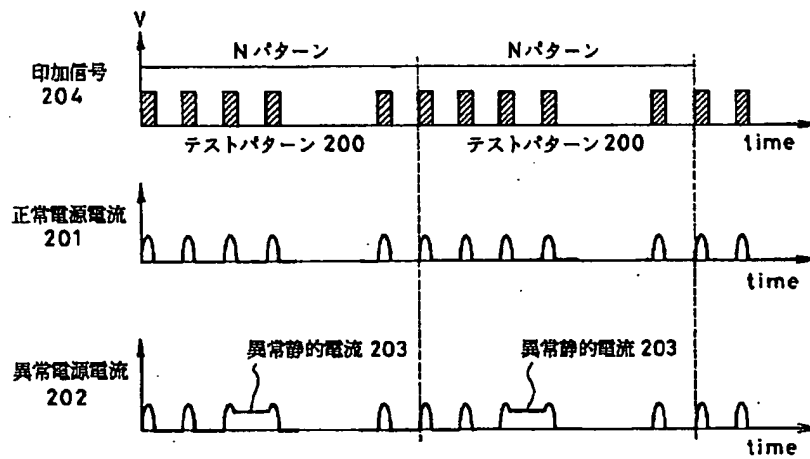




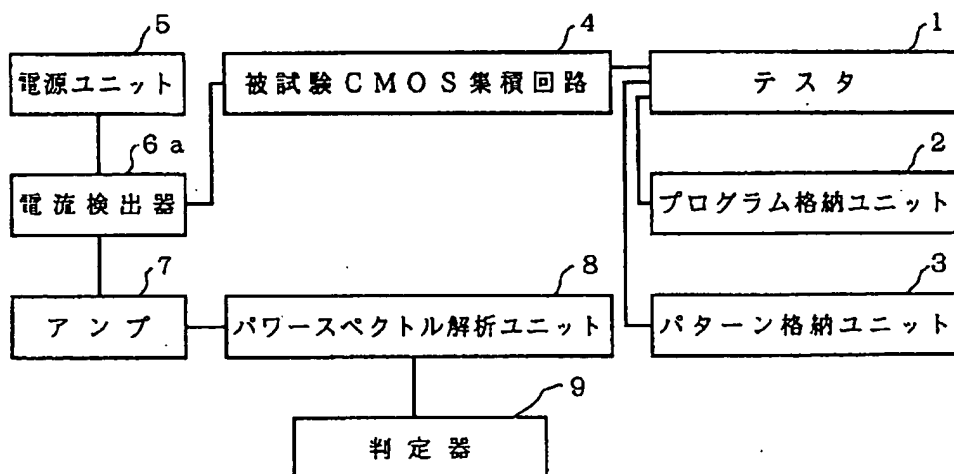
【図4】



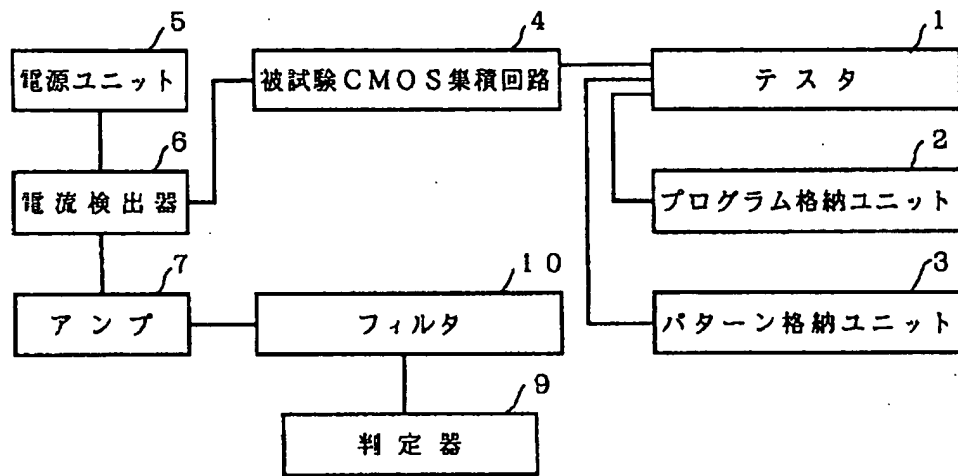
【図5】



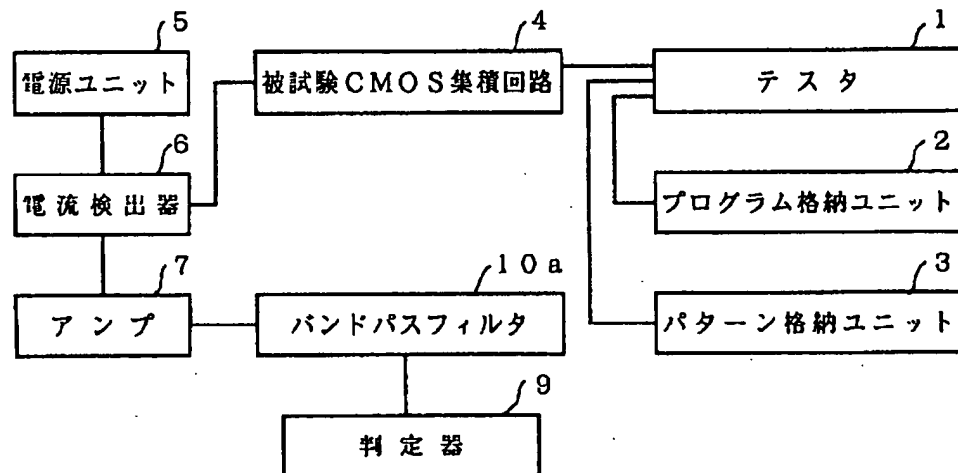
【図6】



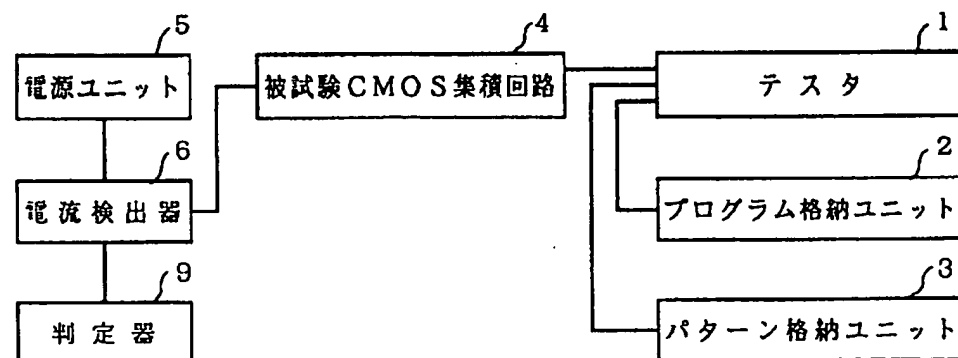
【図8】



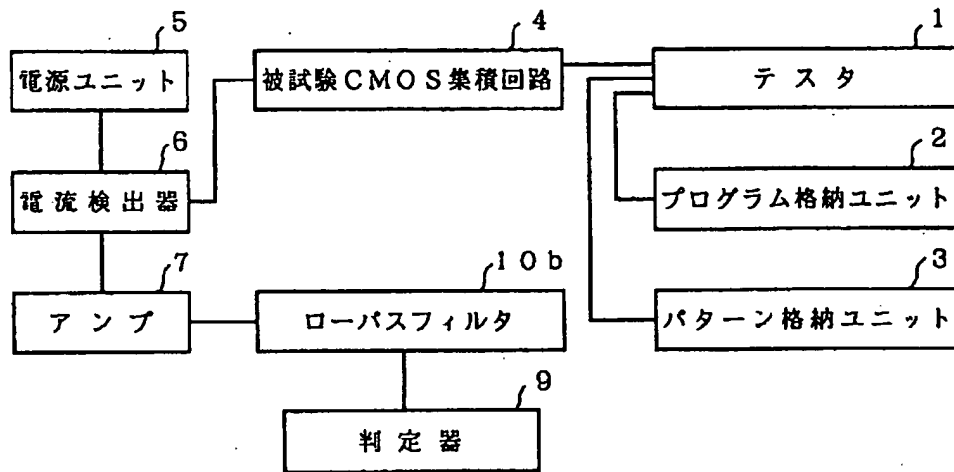
【図9】



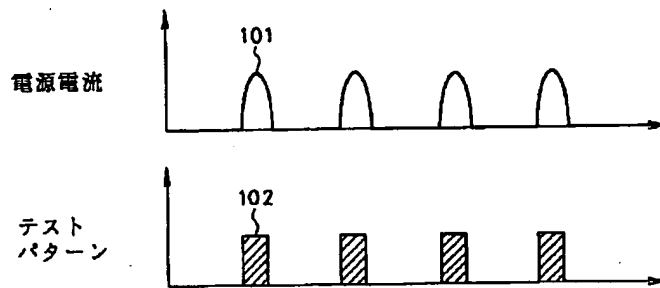
【図12】



【図10】



【図13】



【図14】

